IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of
Inventor(s): Masahiro ITO

Appln. No.:	Not	Assigned
Series Code	↑	↑ **Serial No.**

Group Art Unit: Unknown

Filed: October 10, 2003

Examiner: Unknown

Title: SIGNAL DELAY COMPENSATING CIRCUIT

Atty. Dkt.	P 0306356	H8008US
	M#	**Client Ref**

Date: October 10, 2003

SUBMISSION OF PRIORITY DOCUMENT IN ACCORDANCE WITH THE REQUIREMENTS OF RULE 55

Hon. Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

Please accept the enclosed certified copy(ies) of the respective foreign application(s) listed below for which benefit under 35 U.S.C. 119/365 has been previously claimed in the subject application and if not is hereby claimed.

Application No.	Country of Origin	Filed
2002-298597	Japan	October 11, 2002

Respectfully submitted,

Pillsbury Winthrop LLP
Intellectual Property Group

725 South Figueroa Street, Suite 2800
Los Angeles, CA 90017-5406
Tel: (213) 488-7100

By Atty: **Richard H. Zaitlen** **Reg. No.** **27248**

Sig:

Fax: **(213) 629-1033**
Tel: **(213) 488-7568**

Atty/Sec: RHZ/JES

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application:	２００２年１０月１１日
出願番号 Application Number:	特願２００２－２９８５９７
[ST. 10/C]:	[ＪＰ２００２－２９８５９７]
出願人 Applicant(s):	ヤマハ株式会社

２００３年　９月　１日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫

出証番号　出証特２００３－３０７０８２９

【書類名】　特許願
【整理番号】　J96565A1
【提出日】　平成14年10月11日
【あて先】　特許庁長官　殿
【国際特許分類】　H03K 19/00
　　G06F　1/10
【発明の名称】　信号遅延補正回路
【請求項の数】　4
【発明者】
　【住所又は居所】　静岡県浜松市中沢町１０番１号　ヤマハ株式会社内
　【氏名】　伊藤　雅博
【特許出願人】
　【識別番号】　000004075
　【氏名又は名称】　ヤマハ株式会社
【代理人】
　【識別番号】　100064908
　【弁理士】
　【氏名又は名称】　志賀　正武
【選任した代理人】
　【識別番号】　100089037
　【弁理士】
　【氏名又は名称】　渡邊　隆
【手数料の表示】
　【予納台帳番号】　008707
　【納付金額】　21,000円
【提出物件の目録】
　【物件名】　明細書　1
　【物件名】　図面　1
　【物件名】　要約書　1

【包括委任状番号】　9001626

【プルーフの要否】　　要

【書類名】　明細書

【発明の名称】　信号遅延補正回路

【特許請求の範囲】

【請求項１】　クロック信号発生回路とデータ処理回路とを有し、クロック信号に同期してデータ信号を出力する第１の半導体回路装置と、該出力データ信号を入力し前記クロック信号に同期して前記入力データ信号を処理する第２の半導体回路装置とからなるデジタル回路であって、前記第１の半導体回路装置から前記第２の半導体回路装置に供給される前記クロック信号を前記データ処理回路にフィードバックし、該フィードバックされたクロック信号をデータ信号出力時のクロック信号とする信号遅延補正回路。

【請求項２】　前記クロック信号は、前記第２の半導体回路装置のクロック信号入力端子から前記データ処理回路にフィードバックされる請求項１に記載された信号遅延補正回路。

【請求項３】　前記クロック信号は、前記第１の半導体回路装置内部のクロック信号出力端子から前記データ処理回路にフィードバックされる請求項１に記載された信号遅延補正回路。

【請求項４】　データを書き込み又は読み出し可能に記憶する記憶装置と、該データを前記記憶装置に書き込むためのアクセスタイミング信号生成回路を有するとともに前記記憶装置からデータの読み出し又は書き込みを行う半導体回路装置とからなるデジタル回路であって、該半導体回路装置から前記記憶装置に供給されるアクセスタイミング信号を前記半導体回路装置にフィードバックし、該信号と前記アクセスタイミング信号生成回路から出力される信号とが、ともにアクティブである場合に、前記半導体回路装置が書き込みデータを出力する基準信号をアクティブとする信号遅延補正回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、クロック信号等に同期してデータの送受信を行う際のデータ信号とクロック信号との遅延時間の相違による両信号間での位相差を補正する信号遅延

補正回路に関する。

【０００２】

【従来の技術】

従来より、クロック信号等に同期してデータの入出力を行うデジタル回路においては、データ処理速度の高速化の要請からクロック信号の周波数が高くなる傾向にある。加えて、半導体集積回路やこれを用いたシステムの多機能化により、同一のクロック信号を共有する回路等が増加し、これに伴ってクロック信号ラインの負荷も増加している。したがって、高周波のクロック信号を扱う回路において、負荷増加の影響は、クロック信号の遅延をもたらし、データの遅延とのバランスを欠いて、その位相差が回路の動作上、重大な問題を招く可能性がある。こうした問題点に対応するため、従来、半導体回路装置を外部から同期させるためのラッチ回路を、その半導体装置の入出力バッファ部に設けるなどの提案がなされていた（例えば、特許文献１参照。）。

【０００３】

【特許文献１】

特開昭６４－２３５４９号公報（第２－４頁、第１図）

【０００４】

図１０および図１１は、従来の回路構成と回路各部の電圧波形とを示している。

この回路は、半導体回路装置１００とレシーブ回路４とからなり、半導体回路装置１００は、クロック信号発生回路１と、データ処理回路２と、ラッチ回路３と、出力バッファ回路６ａ、６ｂと、データ入力端子７と、クロック出力端子８と、データ出力端子９とから構成されている。クロック信号発生回路１は、回路動作の基準となるマスタクロック信号を生成する回路であり、データ処理回路２は、データ入力端子７から入力されたデータ信号を所定の手順により処理し、マスタクロック信号に同期してデータ信号をラッチ回路３に出力する。

【０００５】

ラッチ回路３は、データ処理回路２から出力されたデータ信号を一時保存し、マスタクロック信号に同期してデータ信号をデータ出力端子８を介して、レシー

ブ回路４に出力する。レシーブ回路４は、マスタクロック信号と同期して入力データ信号を取り込む回路である。負荷５は、配線パターン等の浮遊容量やインピーダンス等の外部環境に基づく負荷である。

【０００６】

【発明が解決しようとする課題】

こうした従来の回路ではデータ信号の出力側で、マスタクロック信号（図１１のＡ信号参照）と出力データ信号（図１１のＣ信号参照）との位相を合わせる処理を行ったとしても、外部環境による負荷の影響により、レシーブ回路４に入力されるマスタクロック信号が遅延し（図１１のＢ、Ｄ信号参照）、レシーブ回路４側での出力データ信号とマスタクロック信号との位相関係、すなわち、両者間の相対的遅延量が変化する。

【０００７】

こうした状況は、レシーブ回路４側での伝送上のマージン（例えば、セットアップ時間やホールド時間）を削る結果となり、データ信号の伝送が不安定になったり、データ信号の伝送エラーを引き起こすことにもなる。特に、マスタクロック信号と同位相でデータを転送するシステムにおいては、本来、クロックイベントに対してデータ信号の伝送処理を行うことを前提に、データ信号の出力タイミングがマスタクロック信号よりも僅かに遅延しているため、この状況でレシーブ回路４側のセットアップ時間を確保しようとすると、外部負荷の影響を無視できなくなる。

【０００８】

そこで、本発明は、上述した問題点に鑑みてなされたものであって、外部負荷等の影響により、データ信号を入出力するための基準信号が遅延しても、この遅延に追従してデータの出力等の回路動作を行う、信号遅延補正回路を提供することを目的とする。

【０００９】

【課題を解決するための手段】

前記課題を解決するため、本発明は、以下の手段を提案している。

請求項１に係る発明は、クロック信号発生回路とデータ処理回路とを有し、ク

ロック信号に同期してデータ信号を出力する第１の半導体回路装置と、該出力データ信号を入力し前記クロック信号に同期して前記入力データ信号を処理する第２の半導体回路装置とからなるデジタル回路であって、前記第１の半導体回路装置から前記第２の半導体回路装置に供給される前記クロック信号を前記データ処理回路にフィードバックし、該フィードバックされたクロック信号をデータ信号出力時のクロック信号とする信号遅延補正回路を提案している。

【００１０】

この発明によれば、外部負荷等の影響により遅延したクロック信号をデータ処理回路にフィードバックし、フィードバックされたクロック信号と同期してデータを出力することにより、出力回路と入力回路との相対的な遅延量を補正することができる。

【００１１】

請求項２に係る発明は、請求項１に記載された信号遅延補正回路について、前記クロック信号は、前記第２の半導体回路装置のクロック信号入力端子から前記データ処理回路にフィードバックされる信号遅延補正回路を提案している。

【００１２】

この発明によれば、第２の半導体回路装置のクロック信号入力端子からクロック信号をフィードバックするため、伝送路の長さに比例して負荷が増加する、いわゆる分布定数的な負荷について効果的に信号の遅延補正を行うことができる。

【００１３】

請求項３に係る発明は、請求項１に記載された信号遅延補正回路について、前記クロック信号は、前記第１の半導体回路装置内部のクロック信号出力端子から前記データ処理回路にフィードバックされる信号遅延補正回路を提案している。

【００１４】

この発明によれば、半導体回路装置の内部でクロック信号をデータ処理回路にフィードバックするため、外部からクロック信号を入力するための端子を設けることなく信号の遅延補正を行うことができる。

【００１５】

請求項４に係る発明は、データを書き込み又は読み出し可能に記憶する記憶装

置と、該データを前記記憶装置に書き込むためのアクセスタイミング信号生成回路を有するとともに前記記憶装置からデータの読み出し又は書き込みを行う半導体回路装置とからなるデジタル回路であって、該半導体回路装置から前記記憶装置に供給されるアクセスタイミング信号を前記半導体回路装置にフィードバックし、該信号と前記アクセスタイミング信号生成回路から出力される信号とが、ともにアクティブである場合に、前記半導体回路装置が書き込みデータを出力する基準信号をアクティブとする信号遅延補正回路を提案している。

【００１６】

この発明によれば、アクセスタイミング信号とフィードバックされてくる信号の論理演算によって、書き込みデータを出力する基準信号を生成したため、アクセスタイミング信号の遅延による書き込みデータと読み込みデータの衝突を防止することができる。

【００１７】

【発明の実施の形態】

以下、本発明の実施形態に係る信号遅延補正回路について図１から図９を参照して詳細に説明する。

本発明の第１の実施形態に係る信号遅延補正回路は図１に示すように、先に図１０を用いて説明した回路と同様の構成を備えており、その相違点は、クロック信号発生回路１からレシーブ回路４のクロック信号入力端子に供給されたクロック信号をその入力端子からデータ処理回路２およびラッチ回路３にフィードバックして、このクロック信号をこれらの回路動作における基準信号とした点にある。なお、本実施形態に係る半導体回路装置においては、特定のノードからクロック信号をフィードバックできるように専用の入力端子１１が設けられている。

【００１８】

本実施形態における信号遅延補正回路においては、レシーブ回路４のクロック信号入力端子からクロック信号をフィードバックするため、半導体回路装置のクロック信号出力端子８からレシーブ回路４のクロック信号入力端子までの外部の負荷要因を反映したクロック信号の補正が可能となる。

【００１９】

本発明の第２の実施形態に係る信号遅延補正回路は図２に示すように、第１の実施形態に係る信号遅延補正回路に対して、クロック信号の出力にバッファ回路（双方向）６ａ、６ｂを設け、クロック信号の出力端子８としてレシーブ回路４と接続されるノードをバッファ回路（双方向）６ｂによりデータ処理回路２にフィードバックする構成となっている。

【００２０】

第１の実施形態にかかる信号遅延補正回路の場合には、外部からクロック信号をフィードバックする関係上、これを入力するための専用端子１１が必要となるが、半導体回路装置の仕様等により端子数に制約があるような場合には、これを実現することが困難な場合もある。本実施形態にかかる信号遅延補正回路によれば、クロック信号を半導体回路装置の内部でデータ処理回路２にフィードバックする構成としたことから、そのような場合にも端子数を増加することなくクロック信号の補正が可能となる。

【００２１】

本発明の第３の実施形態に係る信号遅延補正回路は図３に示すように、従来の構成に対して、本発明にかかる半導体回路装置がクロック信号発生回路１からレシーブ回路４のクロック信号入力端子に供給されたクロック信号をその入力端子からデータ処理回路２およびラッチ回路３にフィードバックするための入力端子１１と、レシーブ回路４に出力するクロック信号を半導体回路装置の内部でフィードバックするためのバッファ回路（双方向）６ａ、６ｂと、これらの信号およびクロック信号発生回路１から出力されるクロック信号とを入力し、これを選択的に出力するマルチプレクサ１２とを有する構成となっている。なお、マルチプレクサ１２は、図示しない制御装置からの制御信号により各信号を選択的に出力するように構成されている。

【００２２】

本実施形態にかかる信号遅延補正回路は、本半導体回路装置を実際のシステムに用いた場合の実使用面と、本半導体回路装置の生産工程におけるテスタ検査上の問題点に鑑みてなされたものである。すなわち、テスタのよる製品検査においては、外部の負荷がテスタや検査用ボードに依存して、出力データが遅延するこ

とによって位相が変動する場合、出力期待値のストローブポイントが定められないという問題がある。

【００２３】

このような問題を解決するためには、例えば、テスタによる製品検査においてはクロック信号発生回路１から出力されるクロック信号を用いて検査を行い、半導体装置がシステムに組み込まれたときには、クロック信号発生回路１からレシーブ回路４のクロック信号入力端子に供給されたクロック信号をその入力端子からデータ処理回路２およびラッチ回路３にフィードバックして使用したり、レシーブ回路４に出力するクロック信号をバッファ回路（双方向）６ａ、６ｂを用いて、半導体回路装置の内部でフィードバックして用いる等、検査と実使用のそれぞれの状況に合わせて、最適な信号の選択が行えるよう構成することが望ましい。

【００２４】

本実施形態においては、マルチプレクサ１２を用いて、こうした要求を満足できるようにしたことから、それぞれの状況に合わせて、最適な信号の選択が行える。また、システム全体の要件を考慮して、第１の実施形態にかかる回路構成および第２の実施形態にかかる回路構成を任意に選択できることとしたため、かかる点においても利用範囲が広がる。

【００２５】

本発明の第４の実施形態に係る信号遅延補正回路は図４に示すように、内部フィードバック型の第２の実施形態にかかる信号遅延補正回路に対して、ダンピング抵抗Ｒｄ（符号１３）を付加した構成となっている。一般に、近年のシステムにおける動作の高速化の要請により、クロック出力に関しては、外部負荷の影響による信号の遅延やトランジェントの劣化を防止するために出力バッファ回路６のドライブ能力を高くして設計することが通常行われる。

【００２６】

しかしながら、出力バッファ回路６のドライブ能力が高くなると、不要輻射やクロック信号のオーバーシュート、アンダーシュートあるいは回路パターンからの反射等の様々な弊害が発生することがある。これに対する対策として、出力バ

ッファ回路６の出力にダンピング抵抗Ｒｄを挿入する方法がある。しかしながら、このダンピング抵抗Ｒｄの抵抗値は、システムに等化するように設定することが一般的ではあるが、ダンピング抵抗Ｒｄがさらなる負荷となって、出力バッファ回路６の出力遅延およびこれに伴う位相関係の変動が生じ、ダンピング抵抗Ｒｄを半導体回路装置に内蔵することは困難であった。

【００２７】

本実施形態における信号遅延補正回路によれば、クロック信号が内部でフィードバックされる構成となっていることから、ダンピング抵抗Ｒｄを付加した場合でも、出力バッファ回路６の出力遅延およびこれに伴う位相関係の変動については自動的に、これに追従することができる。加えて、図５（ａ）、（ｂ）に示すように、付加するダンピング抵抗Ｒｄを可変できる構成としておけば、不要輻射等のノイズの問題と負荷によるバッファ出力回路の出力遅延の問題とに同時に対応できる最適な調整を行うことが可能となる。

【００２８】

従来技術の回路構成の別例を図６に示す。同図に示すように、従来技術の回路構成は、アクセスタイミング発生回路１４と、書き込みデータ記憶装置１５と、読み込みデータ記憶装置１６と、バッファ回路６ａ、６ｂ、６ｃ、６ｄと、外部記憶装置２０とを備えている。

【００２９】

アクセスタイミング発生回路１４は、データの書き込み、読み出しのための基準信号発生回路である。本回路においては、アクセスタイミング信号（図中、ＯＥと示す）が出力バッファ回路６ａを介して外部記憶装置２０に入力されるとともに、この信号を用いて、外部記憶装置２０に対して書き込みデータが出力される。そして、外部記憶装置２０では、アクセスタイミング信号に同期して、データの取り込みが行われる。

【００３０】

しかし、本回路においては、アクセスタイミング信号が外部負荷の影響により遅延することにより、以下の問題があった。すなわち、アクセスタイミング信号ＯＥ（負論理）に対して、外部記憶装置２０に入力される信号が外部負荷の影響

で遅延（図７、図９中、Ａ´と示す）すると、外部記憶装置２０におけるデータの取り込みタイミングが遅延する。本実施形態における回路においては、所定のタイミングで交互にデータの書き込みと読み出しが行われるため、アクセスタイミング信号ＯＥ（負論理）と外部記憶装置２０に入力される信号Ａ´の間で、タイミングのズレが生ずると、データの衝突（Bus Conflict）を招くことになる（図７のData　Busを参照）。本実施形態にかかる信号遅延補正回路は、こうした問題点に対応するためになされたものである。

【００３１】

本実施形態にかかる信号遅延補正回路は、図８に示すように、従来の回路構成に加えて、書き込みデータを出力するために必要なアクセスタイミング信号を生成するための負論理ＡＮＤ回路１９を有している。すなわち、本実施形態にかかる信号遅延補正回路においては、外部記憶装置２０に供給するアクセスタイミング信号とこのアクセスタイミング信号を内部でフィードバックした信号とを負論理ＡＮＤ回路１９に入力し、いずれか一方のみがＨｉレベルであるときには、Ｌｏｗレベルの信号を出力し、それ以外は、Ｈｉレベルの信号を出力する信号により、半導体回路装置側での書き込みデータの出力タイミング信号Ａ″を生成するものである（図９のＡ″を参照）。

【００３２】

すなわち、外部記憶装置２０に供給するアクセスタイミング信号とこのアクセスタイミング信号を内部でフィードバックした信号とを負論理ＡＮＤ回路１９に入力し、半導体回路装置側での書き込みデータの出力タイミング信号Ａ″を生成することにより、図７におけるアクセスタイミング信号ＯＥ（負論理）と外部記憶装置２０に入力される信号Ａ´の双方がＬｏｗレベル（イネーブル状態）である間のみ、書き込みデータが外部記憶装置２０に出力されることになることから、書き込みデータと読み出しデータとの衝突を回避することができる。

【００３３】

以上、図面を参照して本発明の実施の形態について詳述してきたが、具体的な構成はこれらの実施の形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計等も含まれる。例えば、第１の実施形態においては、レシーブ回路

のクロック信号入力端子から、半導体回路装置にクロック信号をフィードバックする例を示したが、レシーブ回路に供給されたクロック信号を外部に取り出せる端子を個別にレシーブ回路に設け、この端子からクロック信号をフィードバックするようにしてもよい。この場合は、レジーブ回路内での負荷の状況も考慮に入れた信号遅延補正を実現できる。

【００３４】

【発明の効果】

以上のように、この発明によれば、レシーブ回路のクロック信号入力端子からクロック信号をフィードバックして、これをデータ出力の際の基準信号としたことから、特別な回路を必要とせずに、外部負荷の状況を考慮した信号遅延補正が実現できるという効果がある。

【００３５】

また、レシーブ回路に供給されるクロック信号を内部でフィードバックする構成としたことから、半導体回路装置の仕様上、端子数に制約があるような場合でも、信号遅延補正を行うシステムを構成することができる効果がある。

【００３６】

また、外部記憶装置に供給するアクセスタイミング信号とこのアクセスタイミング信号を内部でフィードバックした信号とを用いて、半導体回路装置側での書き込みデータの出力タイミング信号を生成することとしたので、外部負荷の影響で、アクセスタイミング信号が遅延した場合でもデータバス上の衝突を回避でき、ノイズの発生や素子の寿命に影響を与える事態を未然に防止することができるという効果がある。

【図面の簡単な説明】

【図１】　本発明の第１の実施形態にかかる回路の構成図である。

【図２】　本発明の第２の実施形態にかかる回路の構成図である。

【図３】　本発明の第３の実施形態にかかる回路の構成図である。

【図４】　本発明の第４の実施形態にかかる回路の構成図である。

【図５】　本発明の第４の実施形態にかかるダンピング抵抗を可変とした場合の構成例を示す図である。

【図６】　本発明の第５の実施形態にかかる従来例に関する回路の構成図である。

【図７】　本発明の第５の実施形態にかかる従来例に関する回路における各部の電圧波形を示す図である。

【図８】　本発明の第５の実施形態にかかる回路の構成図である。

【図９】　本発明の第５の実施形態にかかる回路における各部の電圧波形を示す図である。

【図１０】　従来例に関する回路の構成図である。

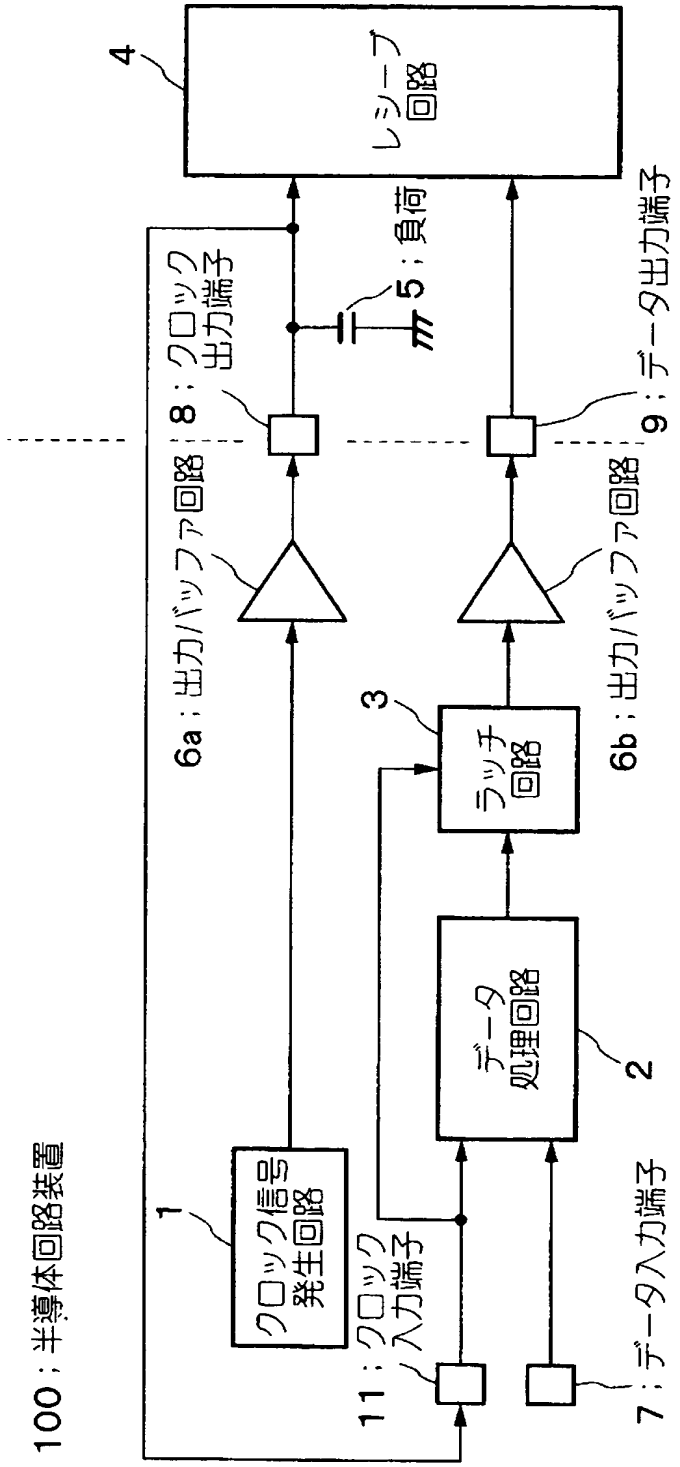
【図１１】　従来例に関する回路各部の電圧波形を示す図である。

【符号の説明】

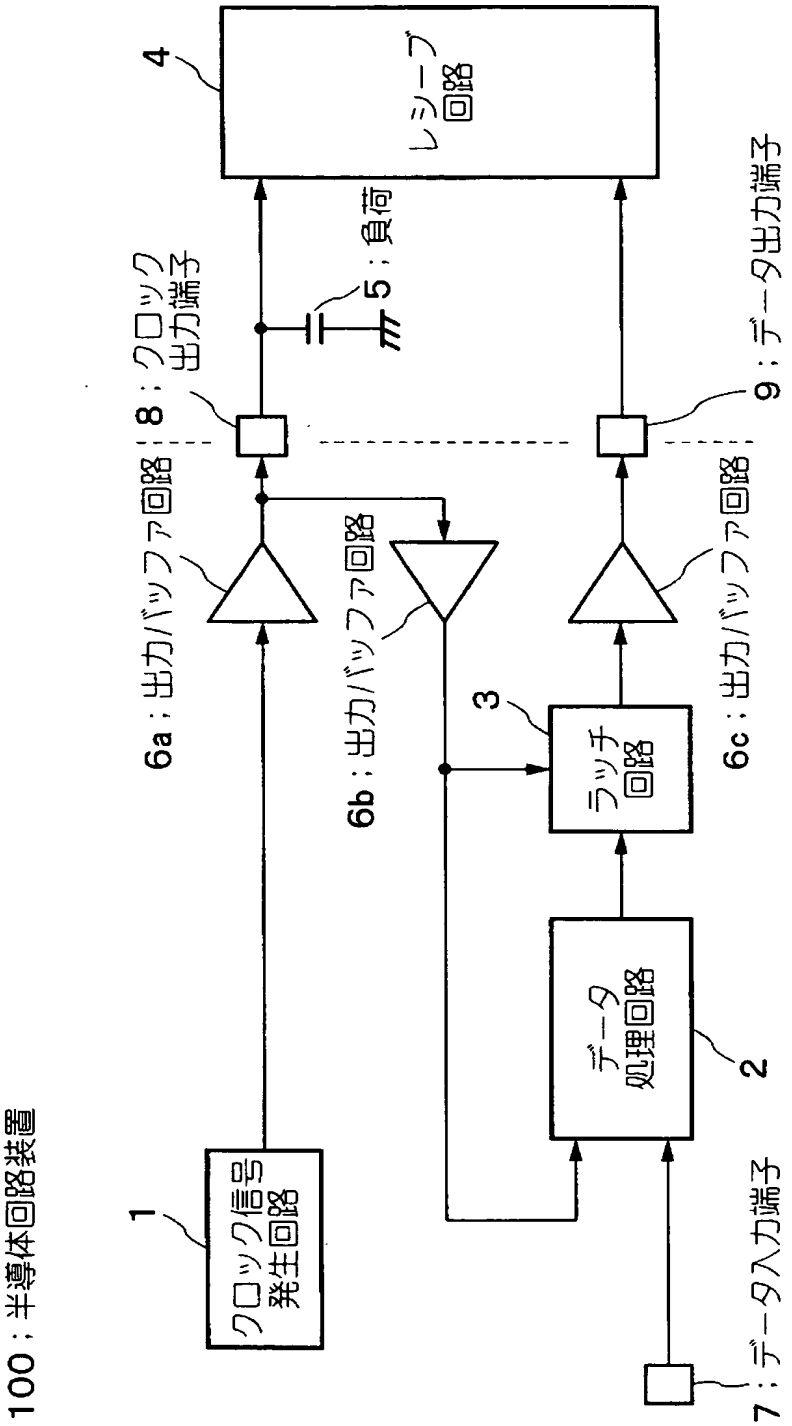
１・・・クロック信号発生回路、２・・・データ処理回路、３・・・ラッチ回路、４・・・レシーブ回路（第２の半導体回路装置）、５・・・負荷、６ａ、６ｂ、６ｃ、６ｄ・・・出力バッファ回路、７・・・データ入力端子、８・・・クロック出力端子、９、１０・・・データ出力端子、１１・・・クロック入力端子、１２・・・マルチプレクサ、１３・・・ダンピング抵抗、１４・・・アクセスタイミング信号発生回路、１５・・・書き込みデータ記憶装置、１６・・・読み込みデータ記憶装置、１７・・・アクセスタイミング信号出力端子、１８・・・データ入出力端子、１９・・・負論理ＡＮＤ回路、２０・・・外部記憶装置、１００・・・半導体回路装置（第１の半導体回路装置）、

【書類名】　図面

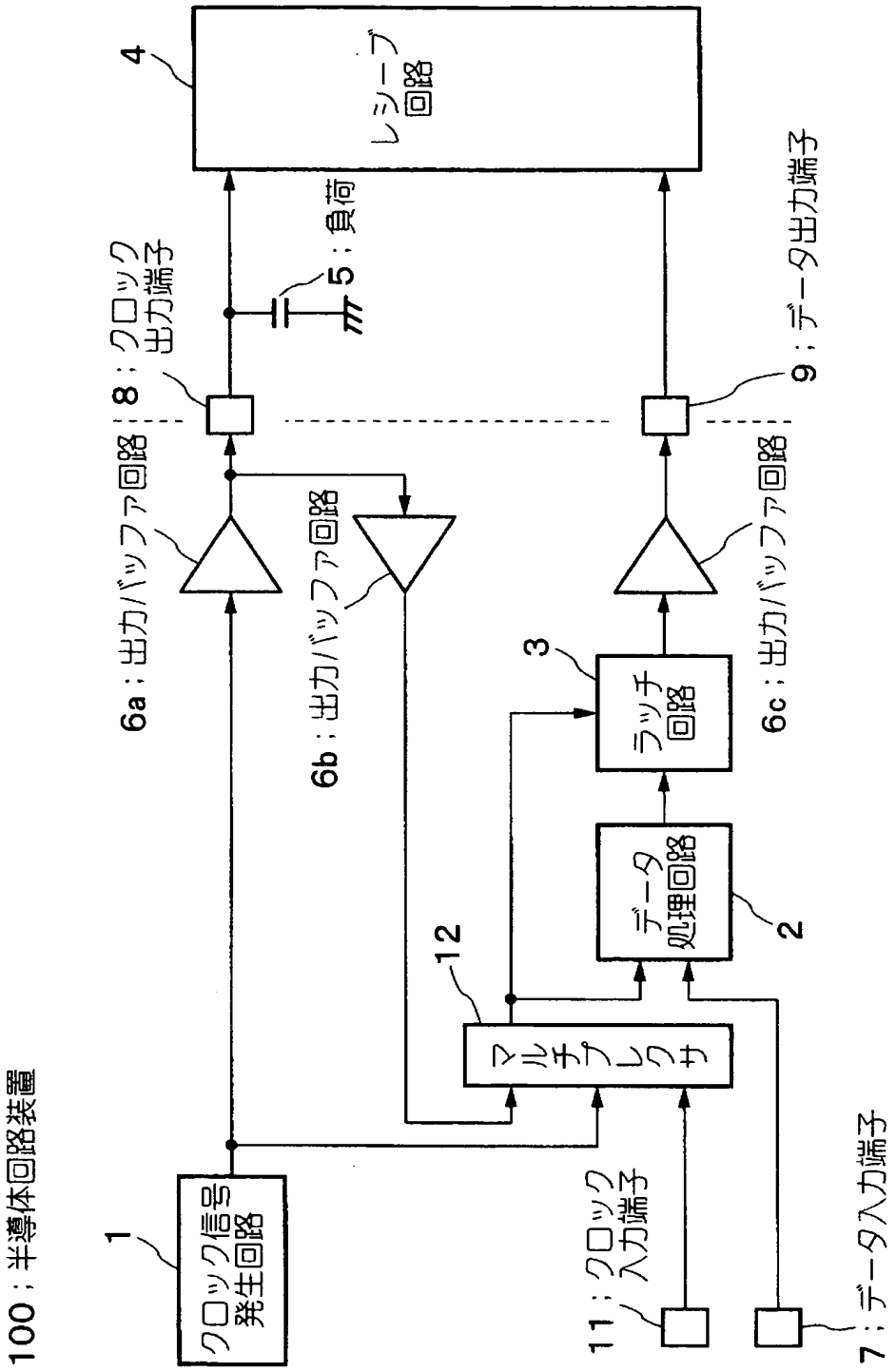
【図１】


100；半導体回路装置
1
クロック信号
発生回路
11；クロック
入力端子
7；データ入力端子
2
データ
処理回路
3
ラッチ
回路
6a；出力バッファ回路
6b；出力バッファ回路
8；クロック
出力端子
9；データ出力端子
5；負荷
4
レシーブ
回路

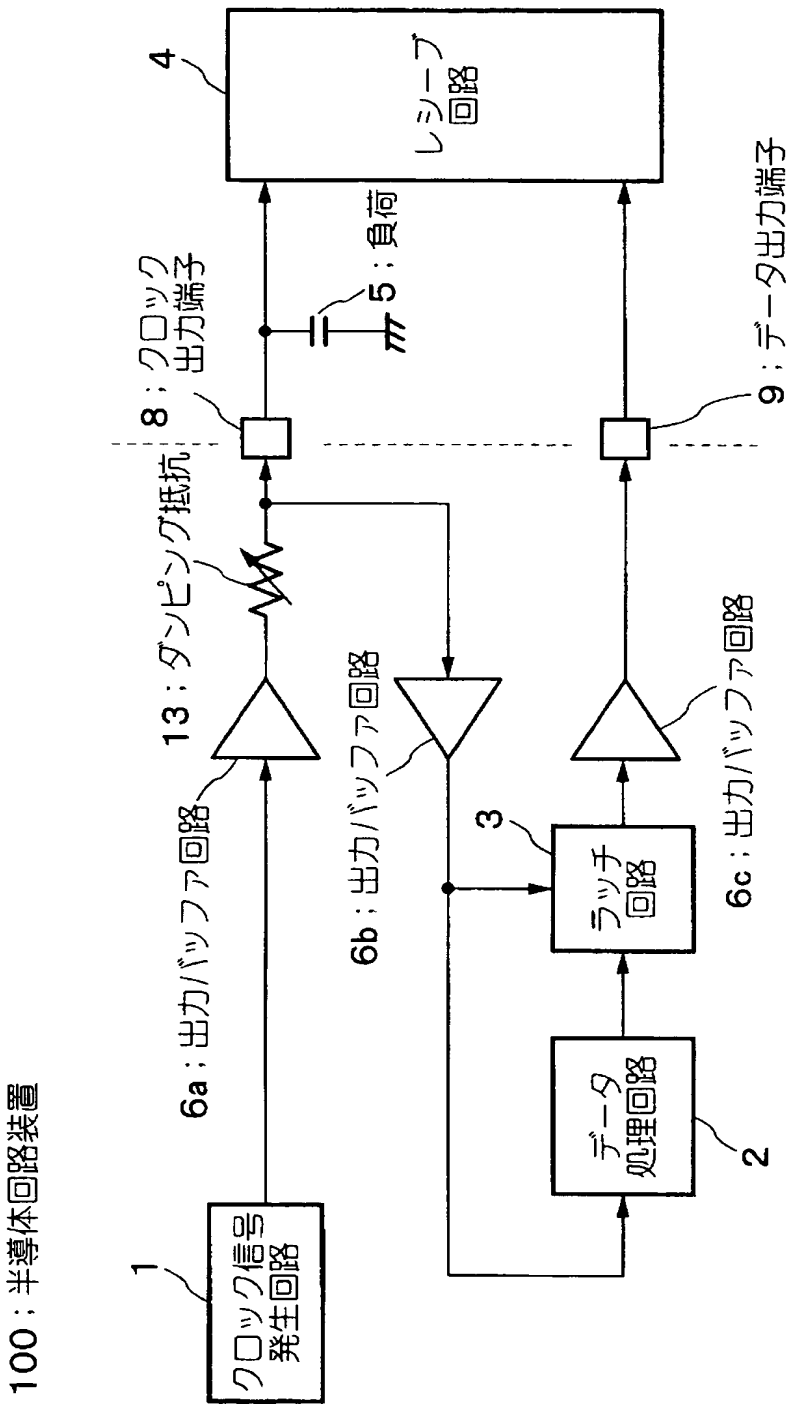
【図２】


100；半導体回路装置
1
クロック信号
発生回路
2
データ
処理回路
3
ラッチ
回路
4
レシーブ
回路
5；負荷
6a；出力バッファ回路
6b；出力バッファ回路
6c；出力バッファ回路
7；データ入力端子
8；クロック
出力端子
9；データ出力端子

【図３】

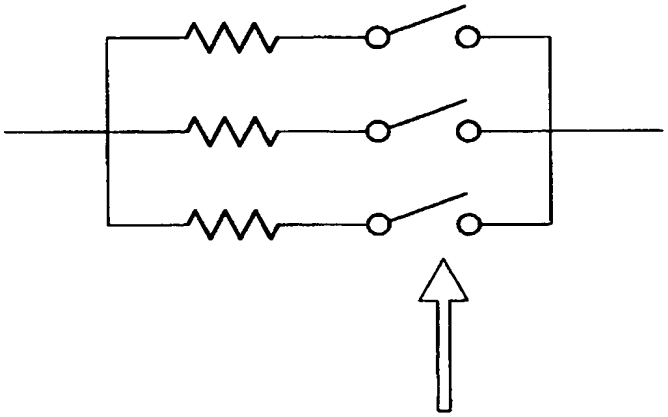

100；半導体回路装置
1
クロック信号発生回路
11；クロック入力端子
7；データ入力端子
12
マルチプレクサ
2
データ処理回路
3
ラッチ回路
6a；出力バッファ回路
6b；出力バッファ回路
6c；出力バッファ回路
8；クロック出力端子
9；データ出力端子
5；負荷
4
レシーブ回路

【図４】

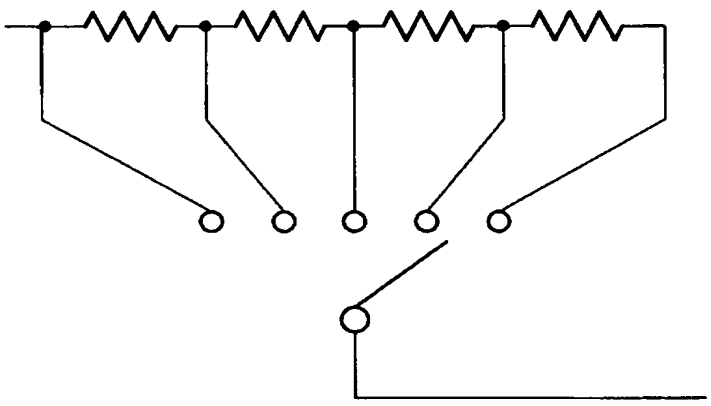

100；半導体回路装置
1
クロック信号発生回路
6a；出力バッファ回路
13；ダンピング抵抗
8；クロック出力端子
5；負荷
4
レシーブ回路
6b；出力バッファ回路
3
ラッチ回路
データ処理回路
2
6c；出力バッファ回路
9；データ出力端子

【図５】

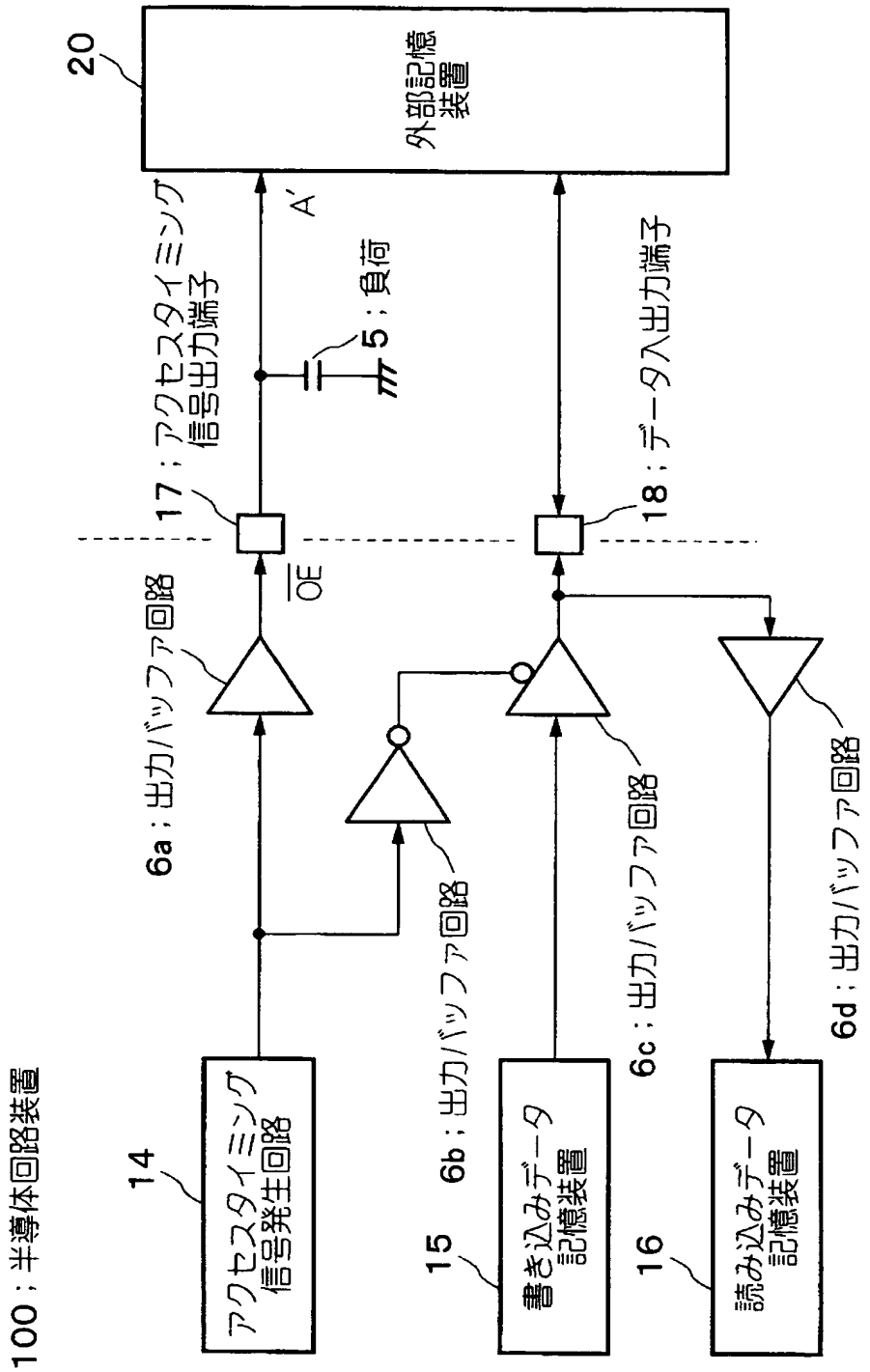
(a)



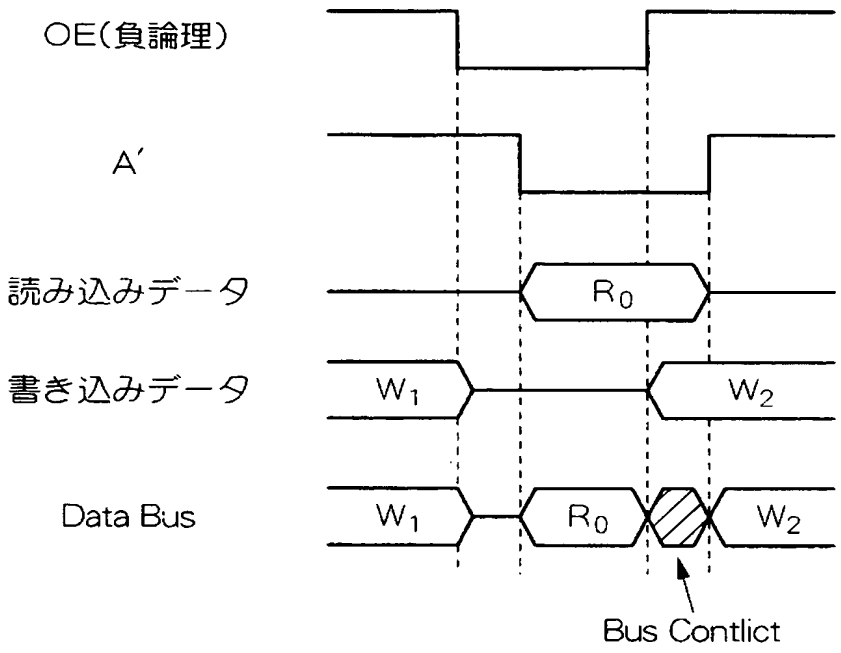
(b)



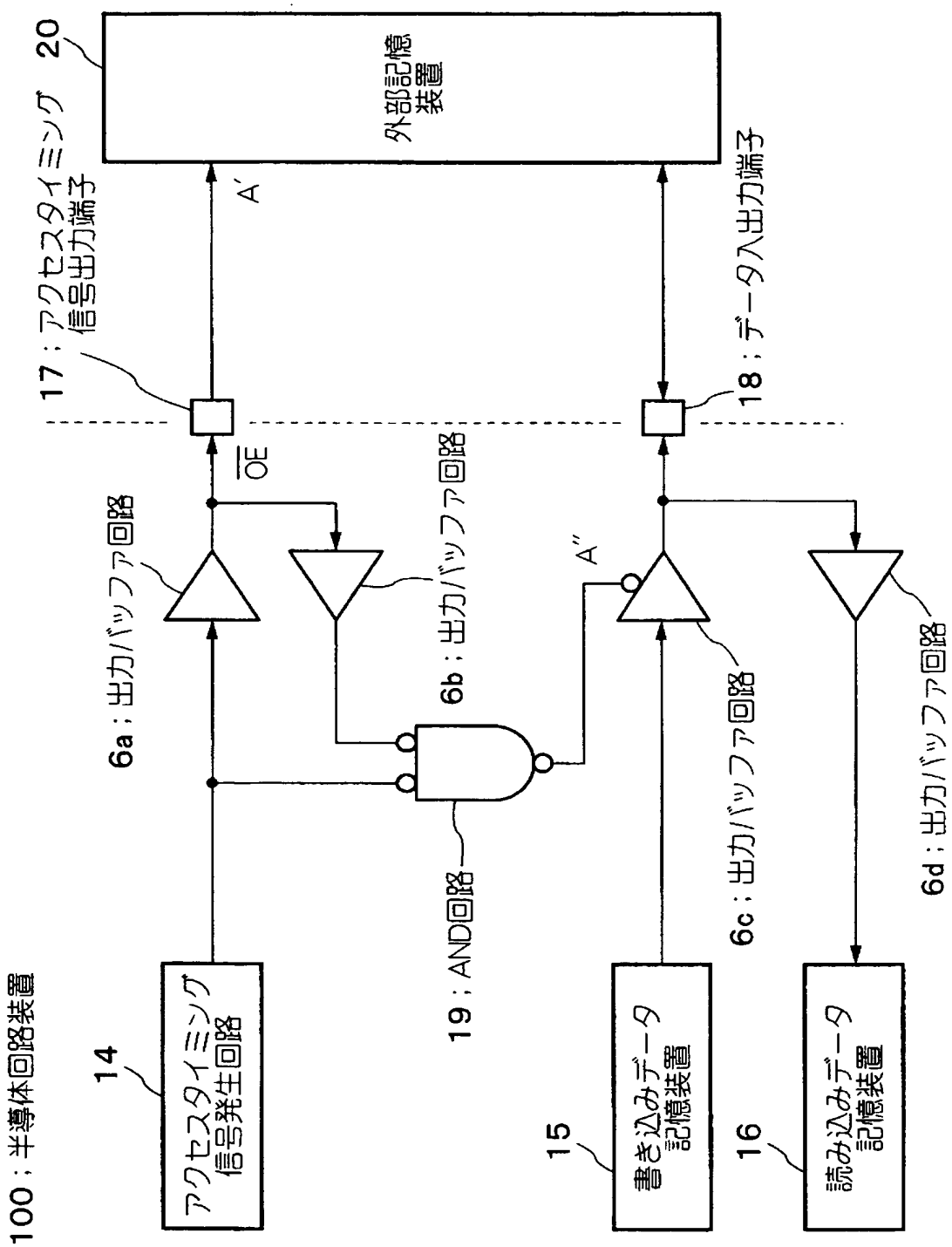
【図６】


20
外部記憶装置
A'
5；負荷
17；アクセスタイミング信号出力端子
18；データ入出力端子
OE
6a；出力バッファ回路
6b；出力バッファ回路
6c；出力バッファ回路
6d；出力バッファ回路
14
アクセスタイミング信号発生回路
15
書き込みデータ記憶装置
16
読み込みデータ記憶装置
100；半導体回路装置

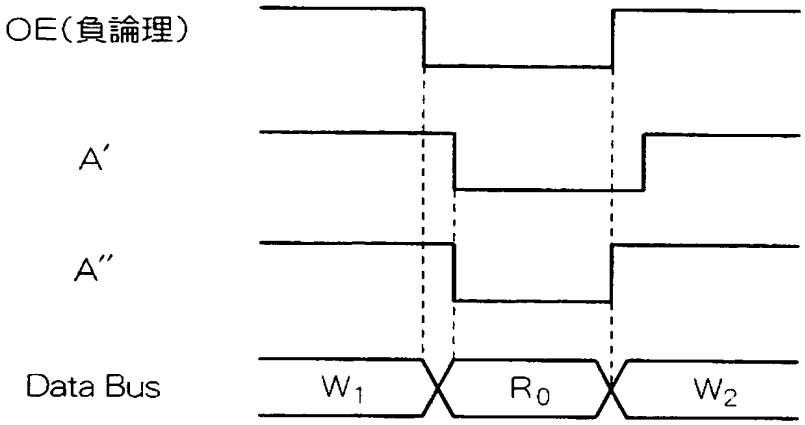
【図７】


OE(負論理)
A'
読み込みデータ
書き込みデータ
Data Bus
R0
W1
W2
W1
R0
W2
Bus Contlict

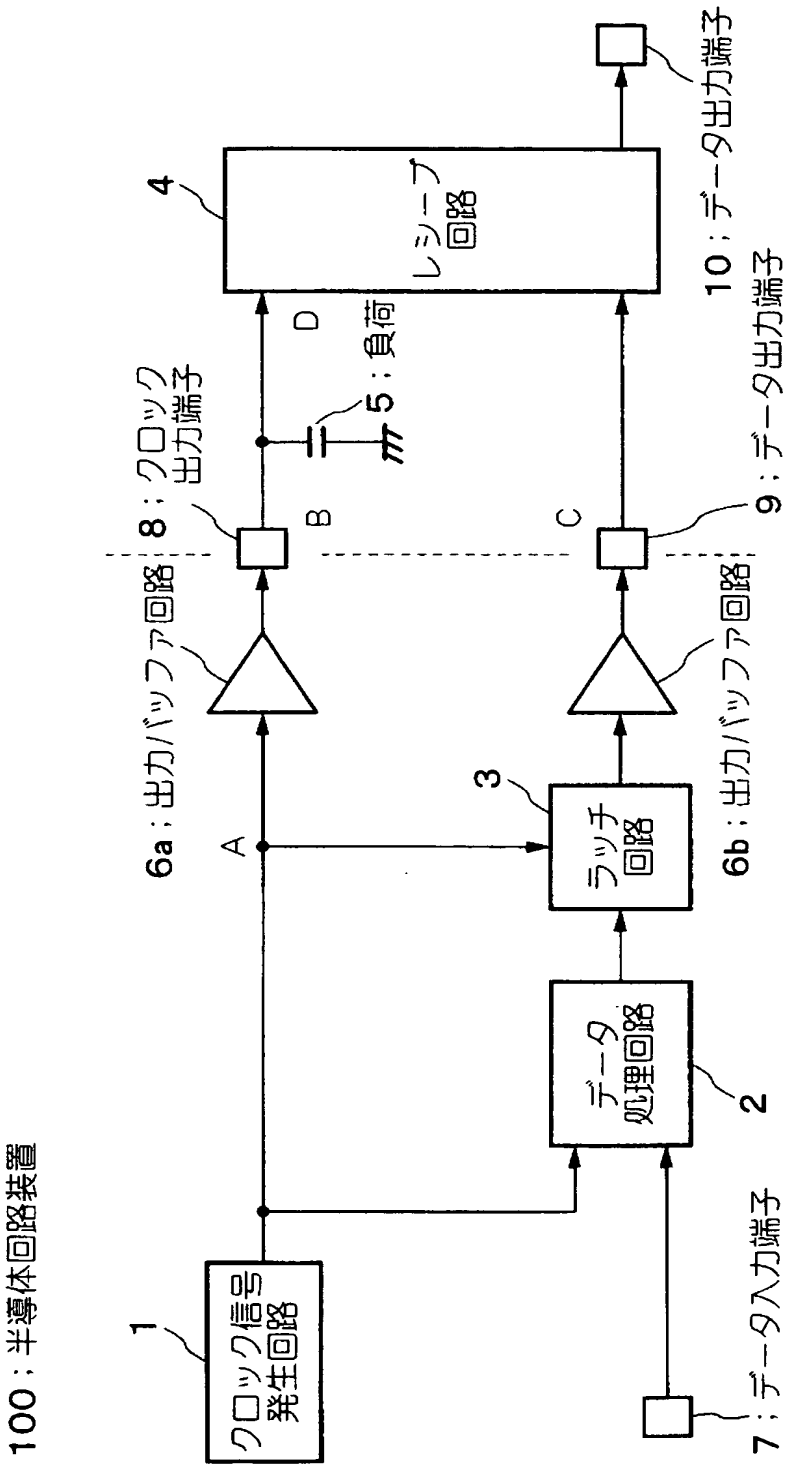
【図８】


100；半導体回路装置
14
アクセスタイミング
信号発生回路
15
書き込みデータ
記憶装置
16
読み込みデータ
記憶装置
6a；出力バッファ回路
6b；出力バッファ回路
6c；出力バッファ回路
6d；出力バッファ回路
19；AND回路
A''
OE
17；アクセスタイミング
信号出力端子
A'
外部記憶
装置
20
18；データ入出力端子

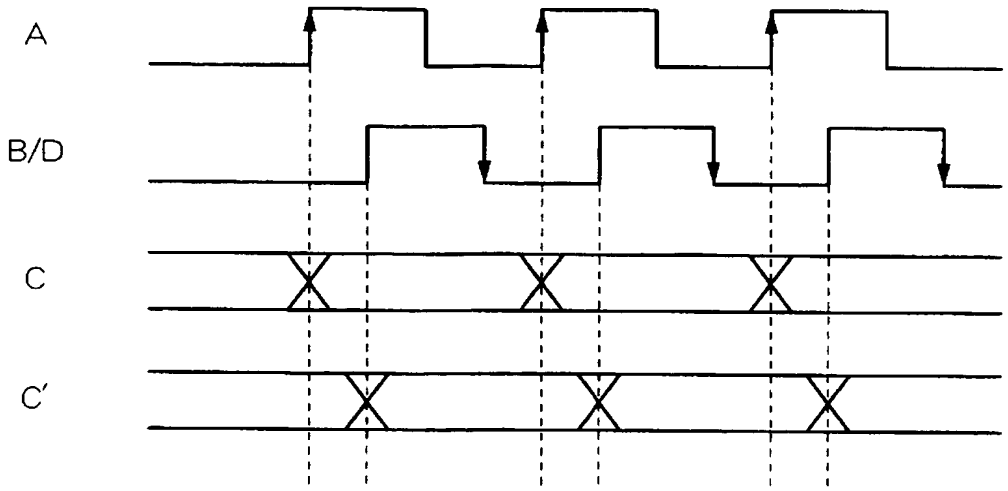
【図９】



【図１０】


100；半導体回路装置
1
クロック信号発生回路
2
データ処理回路
3
ラッチ回路
4
レシーブ回路
5；負荷
6a；出力バッファ回路
6b；出力バッファ回路
7；データ入力端子
8；クロック出力端子
9；データ出力端子
10；データ出力端子
A
B
C
D

【図１１】



【書類名】　　要約書

【要約】

【課題】　外部負荷等の影響により、データ信号を入出力するための基準信号が遅延しても、この遅延に追従してデータの出力等の回路動作を行う信号遅延補正回路を提供することを目的とする。

【解決手段】　クロック信号発生回路１とデータ処理回路２とを有し、クロック信号に同期してデータ信号を出力する第１の半導体回路装置１００と、該出力データ信号を入力し前記クロック信号に同期して前記入力データ信号を処理する第２の半導体回路装置４とからなるデジタル回路であって、前記第１の半導体回路装置１００から前記第２の半導体回路装置４に供給される前記クロック信号を前記データ処理回路２にフィードバックし、該フィードバックされたクロック信号をデータ信号出力時のクロック信号とすることにより、基準信号の遅延に追従して補正する信号遅延補正回路を提供する。

【選択図】　　図１

特願２００２－２９８５９７

出　願　人　履　歴　情　報

識別番号　　［０００００４０７５］

１．変更年月日　　１９９０年　８月２２日
［変更理由］　　新規登録
住　所　　静岡県浜松市中沢町１０番１号
氏　名　　ヤマハ株式会社